Introduction of dual output oscillators
(DFO & DFV series)

기술연구소

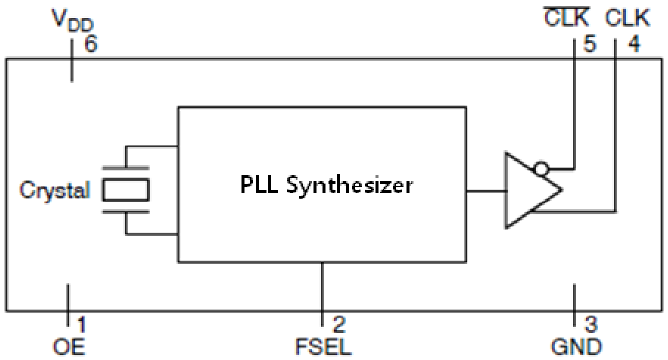
2015. 10. 27

Product Description

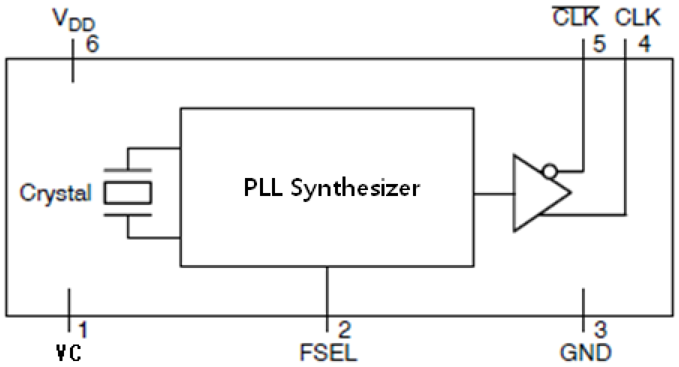
Introduction of Dual output oscillators : DFO series & DFV series

DFO : Dual Frequency crystal Oscillator (DLO-53, DPO-53, DLO-10, DPO-10)
DFV : Dual Frequency Voltage controlled crystal oscillator (DLV-53, DPV-53, DLV-10, DPV-10)

Dual frequency로 출력할 수 있는 DFO series 및 DFV series는 Fsel 단자의 설정 상태에 따라 2개의 출력(Q) 주파수 사이에서 바뀌게 됩니다. 신제품은 ultra low jitter와 ultra low phase noise의 LVDS와 LVPECL 차동 출력을 제공합니다. 어플리케이션에는 주파수 컨트롤과 고안정 클록이 요구되는 고속 LAN과 WAN 네트워킹 장치, 통신기지국, 스토리지, 서버, 임베디드 컴퓨팅 및 방송 비디오 시스템 등입니다. 신제품은 낮은 주파수, high Q의 펀드멘탈 모드의 크리스탈과 PLL Synthesizer를 사용하여 고안정 dual-output 주파수를 제공하며 typical RMS phase jitter (12kHz to 20MHz)는 약 0.5 ps(picoseconds) 으로 자사의 기존 생산품인 PLL multiplier 오실레이터에 비해 최대 8배 낮은 지터 성능을 제공합니다.



DFO series block diagram



DFV series block diagram

Product Description

사용자가 Dual frequency로 선택할 수 있는 표준 주파수로는 106.25 MHz/212.50 MHz; 125 MHz/250 MHz; 155.52 MHz/311.04 MHz; 156.25 MHz/312.50 MHz; 200.00 MHz/400.00 MHz 148.50 MHz/148.35 MHz입니다. 이것은 설계자로 하여금 Ethernet, Gigabit Ethernet, 1x and 2x Fiber Channel, SATA, SONET/SDH, PCIe 등의 다양하고 적합한 프로토콜에 최적화된 오실레이터 출력을 선택할 수 있습니다.

Power supply 전압은 2.5V와 3.3V이며 5.0 mm x 3.2 mm, 7.0 mm x 5.0 mm의 세라믹 패키지 형태의 모델로 공급됩니다.

* Product Model	** Output Frequency (MHz)	Logic Type	Oscillator Type	Power Supply (V)	Total Frequency Stability (+/-PPM)	RMS Phase Jitter (picosecond)	Application
DLO-53 DPO-53 DLO-10 DPO-10 DLV-53 DPV-53 DLV-10 DPV-10	106.25 / 212.50	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 0.5	1x 2x Fibre Channel
	125.00 / 250.00	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 0.5	PCIe, PCI, High-End Computing, Networking
	155.52 / 311.04	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 0.5	SONET, SDH, Telecom
	156.25 / 312.50	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 0.5	Ethernet, Networking
	200.00 / 400.00	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 0.5	Servers, Networking, Host Bus Adapter
	148.50 / 148.35	LVDS LVPECL	XO / VCXO	2.5 / 3.3	50	0.5 / 1.2	SDI Signal Process for Broadcasting Video

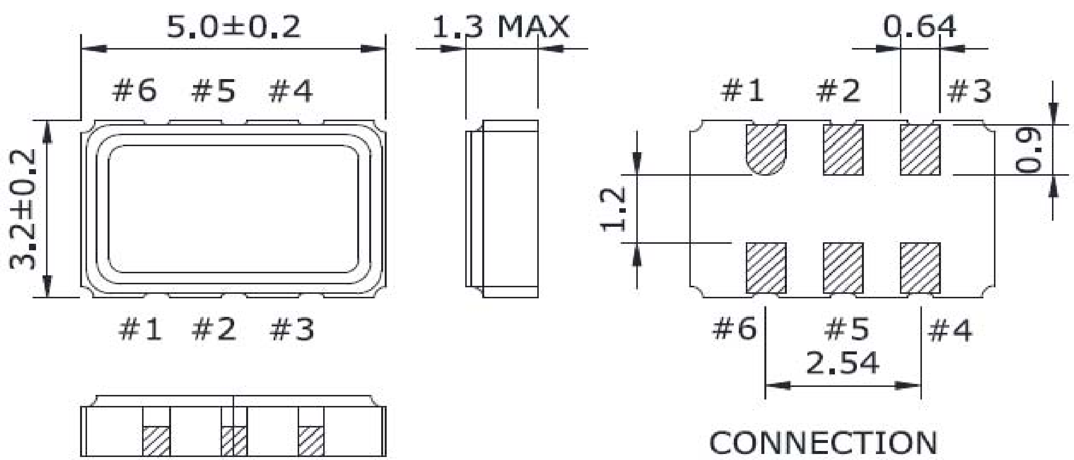
*) 53 : 5.0 mm x 3.2 mm; 10 : 7.0 mm x 5.0 mm

**) Please contact our sales team about developed standard frequencies.

Product Description

DFV-53 series의 PIN mapping과 동작 방법 예시

Dual frequency VCXO는 출력을 Fsel0 단자(#2)의 설정 상태에 따라 출력(Q)주파수를 2개로 전환할 수 있습니다. 만약 2개의 출력이 155.52 MHz/311.04 MHz이라면 Fsel0 단자(#2)에 VDD레벨을 인가하게 되면 155.52 MHz(default), GND 레벨을 인가하게 되면 311.04 MHz가 출력이 됩니다.



CONNECTION
#1 : V.C
#2 : Fsel0
#3 : GND
#4 : OUTPUT(Q)
#5 : OUTPUT($\overline{Q}$)
#6 : VDD

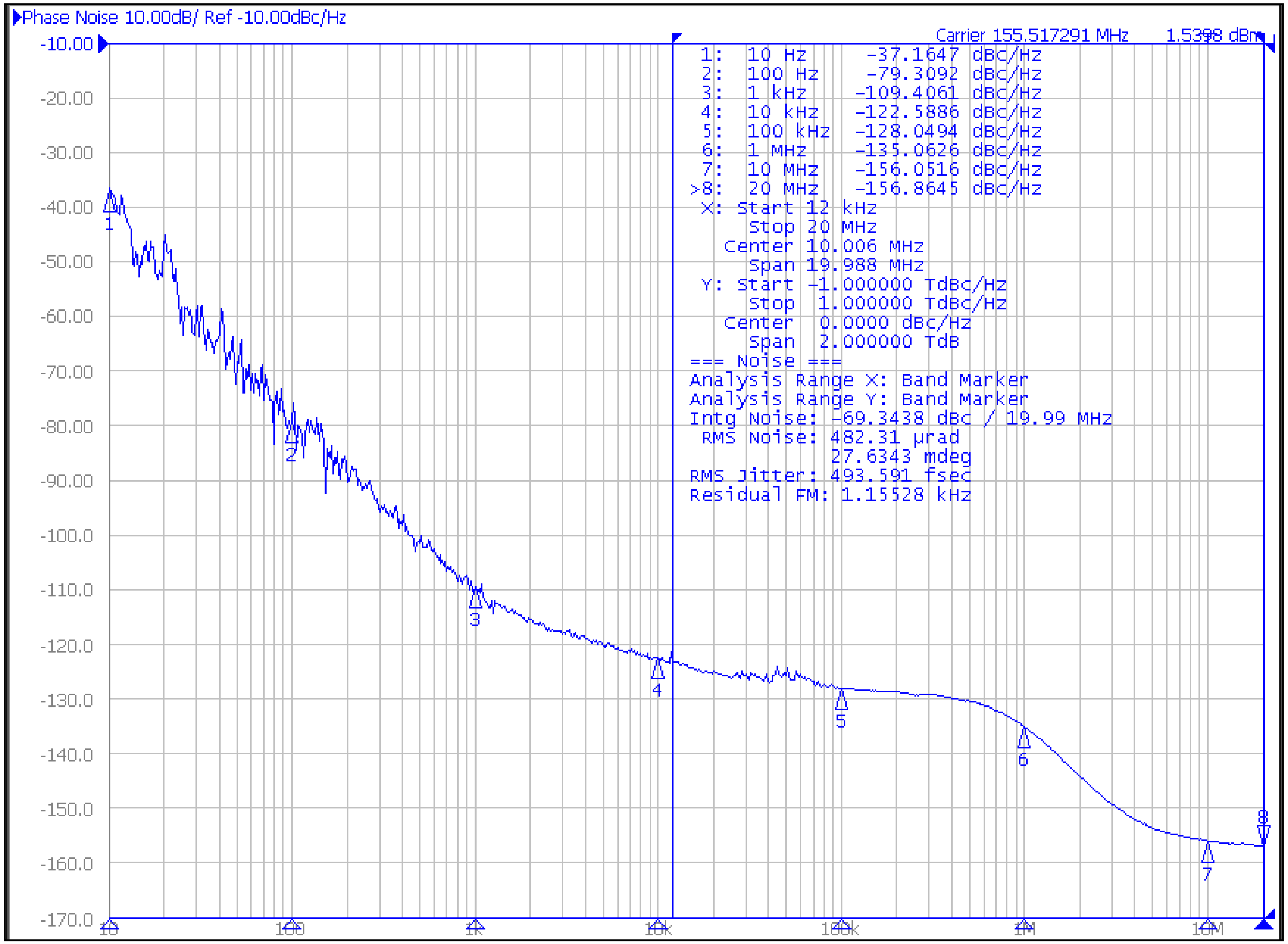
Dual Frequency Truth Table

Fsel0 setting	Corresponding Frequency
'0' GND	Frequency Bank 0
'1' VDD	Frequency Bank 1

Product Description

Dual frequency LVDS VCXO 155.52MHz(default)의 Phase noise plot

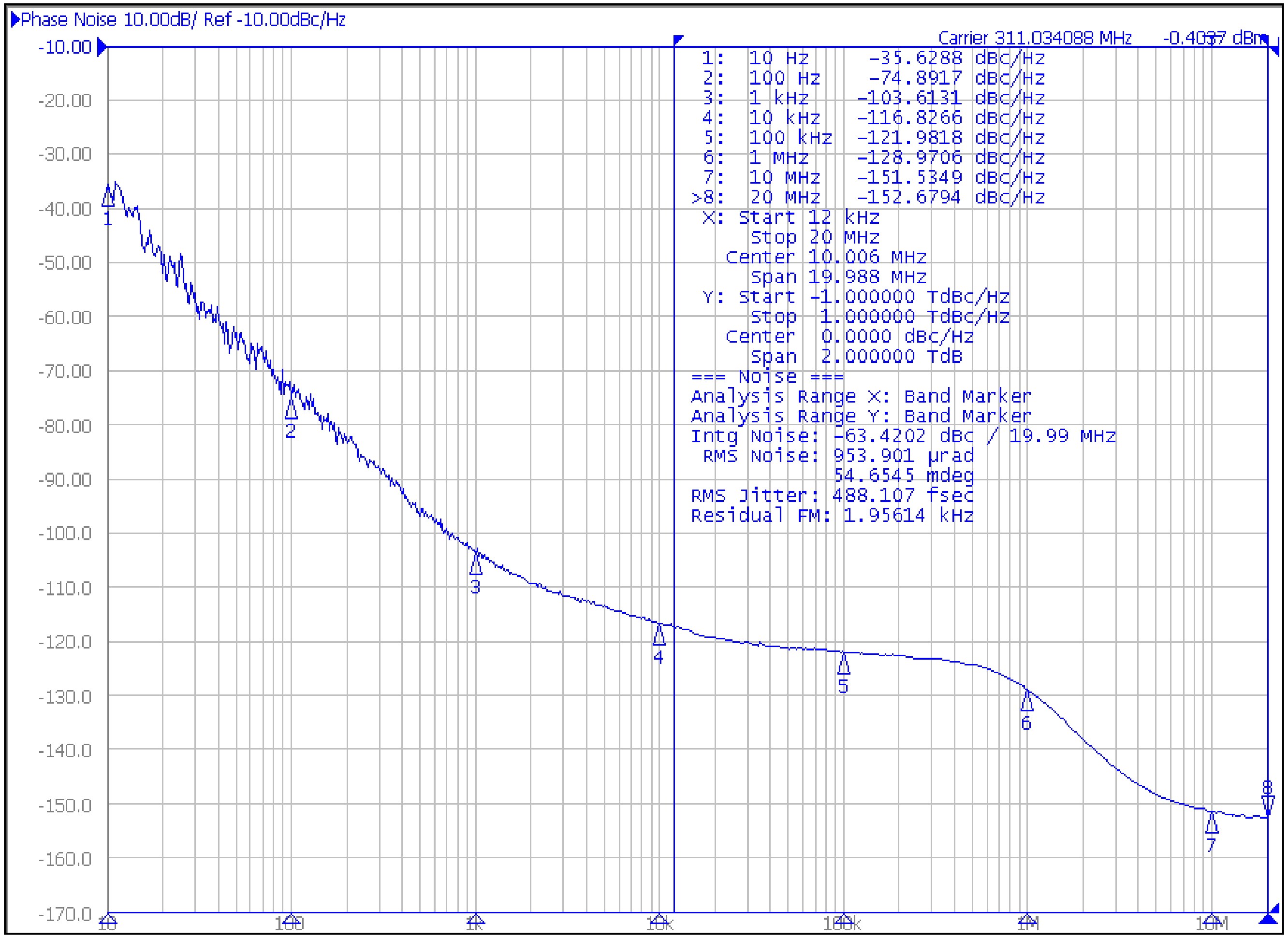
#2단자가 VDD 레벨('1') 또는 OPEN일 때 RMS Phase noise 493.591 fsec로 측정됨.



Product Description

Dual frequency LVDS VCXO 311.04MHz의 Phase noise plot

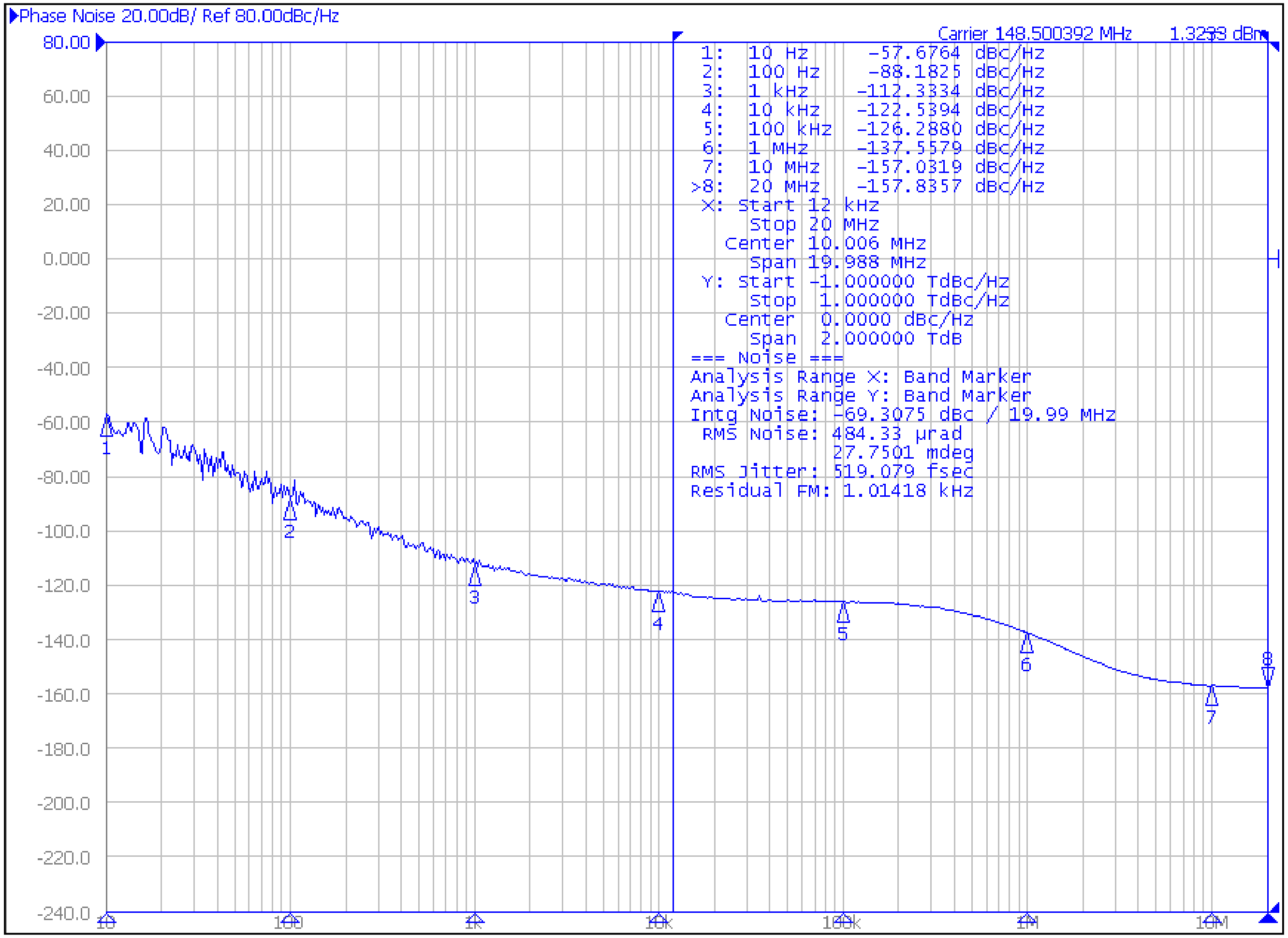
#2단자가 GND 레벨('0')일 때 RMS Phase Jitter가 488.107 fsec로 측정됨.



Product Description

Dual frequency LVDS VCXO 148.5MHz(default)의 Phase noise plot

#2단자가 VDD 레벨('1')일 때 RMS Phase Jitter가 519.079 fsec로 측정됨.



Product Description

Dual frequency LVDS VCXO 148.35MHz의 Phase noise plot

#2단자가 GND 레벨('0')일 때 RMS Phase Jitter가 1.1962 psec로 측정됨.